

9p/2813  
PATENT  
005702-20035

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of:

Shota KITAMURA, et al.

Serial No: 09/392,865

Filed: September 9, 1999

For: **NON-VOLATILE SEMICONDUCTOR  
MEMORY DEVICE AND ITS  
MANUFACTURING METHOD**

Art Unit: 2813

Examiner: C. Bowers

#8  
Priority  
Paper  
1-13-00  
R. A. Stokely

I hereby certify that this correspondence is being deposited with the United States Postal Service with sufficient postage as first class mail in an envelope addressed to:

Assistant Commissioner for Patents  
Washington D.C. 20231, on

November 23, 1999

Date of Deposit

William H. Wright, RN 36,312

Name

Signature

11/23/99

Date

**TRANSMITTAL OF PRIORITY DOCUMENT**

Assistant Commissioner for Patents  
Washington, D.C. 20231

Dear Sir:

Enclosed herewith is a certified copy of Japan patent application No. 10-255619 which was filed September 9, 1998, from which priority is claimed under 35 U.S.C. § 119 and Rule 55.

Acknowledgment of the priority document is respectfully requested to ensure that the subject information appears on the printed patent.

Respectfully submitted,

LOEB & LOEB LLP

Date: November 23, 1999

By:

WILLIAM H. WRIGHT

Registration No. 36,312

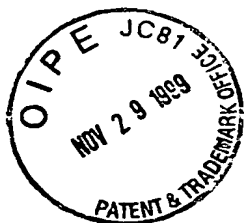
Attorney for Applicants

10100 Santa Monica Blvd., 22nd Floor  
Los Angeles, California 90067-4164  
Telephone: 310-282-2260  
Facsimile: 310-282-2192

RECEIVED

DEC 01 1999

TECHNOLOGY CENTER 2000



日 本 国 特 許 庁  
PATENT OFFICE  
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1 9 9 8 年 9 月 9 日

出 願 番 号

Application Number:

平成 1 0 年 特 許 願 第 2 5 5 6 1 9 号

出 願 人

Applicant (s):

株式会社東芝

RECEIVED

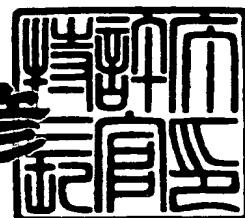
DEC 0 1 1999

TECHNOLOGY CENTER 2800

1 9 9 9 年 1 0 月 8 日

特 許 庁 長 官  
Commissioner,  
Patent Office

近 藤 隆 彦



出 証 番 号 出 証 特 平 1 1 - 3 0 6 7 9 3 0

【書類名】 特許願

【整理番号】 98P6015

【提出日】 平成10年 9月 9日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 29/00

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【請求項の数】 8

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 北村 章太

【発明者】

    【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝  
                                横浜事業所内

    【氏名】 山田 誠司

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100092820

    【弁理士】

    【氏名又は名称】 伊丹 勝

    【電話番号】 03-3254-0171

【手数料の表示】

    【予納台帳番号】 026893

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9810498

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 不揮発性半導体記憶装置及びその製造方法

【特許請求の範囲】

【請求項1】 半導体基板と、

この半導体基板に形成された、データに応じて不揮発に電荷蓄積を行うメモリトランジスタと、

このメモリトランジスタのゲート側壁に形成された減圧CVDによる第1のシリコン窒化膜と、

前記メモリトランジスタのゲート表面、ソース、ドレイン拡散層の表面及びゲート側壁の第1のシリコン窒化膜の表面を覆って形成された第2のシリコン窒化膜と、

この第2のシリコン窒化膜上にシリコン酸化物を主体とする層間絶縁膜を介して形成された配線層とを有する

ことを特徴とする不揮発性半導体記憶装置。

【請求項2】 前記メモリトランジスタは、前記半導体基板に第1ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第2ゲート絶縁膜を介して形成された制御ゲートとを有する電氣的書き換え可能なメモリトランジスタである

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項3】 前記第2のシリコン窒化膜は、プラズマCVDにより堆積されたものである

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項4】 前記第2のシリコン窒化膜は、減圧CVDにより堆積されたものである

ことを特徴とする請求項1記載の不揮発性半導体記憶装置。

【請求項5】 半導体基板に、データに応じて不揮発に電荷蓄積を行うメモリトランジスタを形成する工程と、

前記メモリトランジスタを覆って減圧CVD法により第1のシリコン窒化膜を堆積しこれを前記メモリトランジスタのゲート側壁に選択的に残置させる工程と

前記メモリトランジスタのゲート表面、ソース、ドレイン拡散層の表面及びゲート側壁の第1のシリコン窒化膜の表面を覆って第2のシリコン窒化膜を堆積する工程と、

前記第2のシリコン窒化膜上にシリコン酸化物を主体とする層間絶縁膜を介して配線層を形成する工程とを有する

ことを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項6】 前記第2のシリコン窒化膜は、プラズマCVD法により堆積する

ことを特徴とする請求項5記載の不揮発性半導体記憶装置の製造方法。

【請求項7】 前記第2のシリコン窒化膜は、減圧CVD法により堆積することを特徴とする請求項5記載の不揮発性半導体記憶装置の製造方法。

【請求項8】 前記ゲート側壁に選択的に第1のシリコン窒化膜を残置させた後、前記第2のシリコン窒化膜を堆積する前に、前記ゲート及びソース、ドレイン拡散層の表面に選択的に金属シリサイド膜を形成する工程を有することを特徴とする請求項5記載の不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、EEPROM等の不揮発性半導体記憶装置及びその製造方法に関する。

【0002】

【従来の技術】

不揮発性半導体記憶装置は、ゲート及びソース、ドレイン拡散層を有し、データに応じて不揮発に電荷蓄積を行うメモリトランジスタ（メモリセル）を用いて構成される。電氣的書き換えを可能としたEEPROMのメモリセルとしては代表的には、半導体基板に第1ゲート絶縁膜としてトンネル絶縁膜を介して浮遊ゲートを形成し、この上に第2ゲート絶縁膜を介して制御ゲートを積層形成したMOSトランジスタ構造が用いられる。浮遊ゲートは各メモリセル毎に独立に形成

されて、これが電荷蓄積層となる。制御ゲートは複数のメモリセルに共通に配設されてワード線として用いられる。

#### 【0003】

EEPROMのメモリセルの接続法には、代表的には、個々のメモリトランジスタのドレインをビット線に接続するNOR型セル方式と、複数個のメモリトランジスタのソース、ドレイン拡散層を隣接するもの同士で共有する形で直列接続して、その一端のドレイン拡散層をビット線に接続するNAND型セル方式とがある。

#### 【0004】

EEPROMのメモリセルを微細ピッチで集積する場合、ゲートの側壁に保護のために選択的に側壁絶縁膜を形成することが行われる。この側壁絶縁膜には通常、CVD法によるシリコン酸化膜(SiO<sub>2</sub>)が用いられる。メモリセルが形成された基板には、層間絶縁膜を介してビット線等の配線層が形成される。層間絶縁膜には一般にCVD法によるシリコン酸化膜が用いられる。層間絶縁膜は厚く形成されるから、これにコンタクト孔等を形成する際、下地を不要にエッチングする事態を防止しながら、加工マージンを上げることが必要である。

#### 【0005】

このため、層間絶縁膜としてCVDシリコン酸化膜を用いた場合に、その下地にシリコン窒化膜(SiN)をエッチングストoppaとして形成することが好ましい。このときシリコン窒化膜は、メモリセルの側壁に形成したシリコン酸化膜からなる側壁絶縁膜のエッチングをも防止することになる。これにより、微細ピッチで形成されたメモリセルアレイの領域の微細なコンタクトを確実に形成することが可能になる。

#### 【0006】

##### 【発明が解決しようとする課題】

しかし、上述のように、メモリセルのゲートの側壁絶縁膜及び層間絶縁膜としてシリコン酸化膜を用い、層間絶縁膜の下地にシリコン窒化膜を形成すると、メモリセルの信頼性が劣化することが報告されている。具体的にメモリセルの信頼性劣化は、データ書き込み及び消去の繰り返しにより、データ“0”、“1”の

しきい値が所定値からずれて、データ読み出しに悪影響を与える（リード・ディスタープ）という形で現れる。これは、シリコン窒化膜の堆積時に発生する水素がメモリセルのゲート絶縁膜（特にトンネル酸化膜）に入り込むことが原因と考えられている。

【0007】

メモリセルのゲートやソース、ドレイン拡散層の表面に、低抵抗化のために金属シリサイド膜を選択的に形成した場合、その後の高温熱工程が制限されるために、シリコン窒化膜の堆積には低温堆積が可能なプラズマCVD法が好ましい。しかし、プラズマCVDによるシリコン窒化膜は減圧CVD法によるシリコン窒化膜に比べて水素の発生が多い。このため、上述したメモリセルの信頼性劣化は、特にシリコン窒化膜をプラズマCVD法により堆積した場合に問題になる。

【0008】

一方、シリコン窒化膜堆積に減圧CVD法を用いた場合には、プラズマCVD法による場合に比べると、メモリセルの劣化が抑えられるが、この場合にも信頼性劣化の抑制は充分ではない。これは、シリコン窒化膜が緻密な膜であるため、メモリセルの側壁絶縁膜にシリコン酸化膜を用いていると、そのシリコン酸化膜に含まれる不純物がシリコン窒化膜によってメモリセル領域に封入された形になるためと思われる。即ち側壁のシリコン酸化膜に含まれる不純物が逃げ場を失って、メモリセルの信頼性劣化をもたらす。

【0009】

この発明は、上記事情を考慮してなされたもので、高い信頼性を実現した不揮発性半導体記憶装置とその製造方法を提供することを目的としている。

【0010】

【課題を解決するための手段】

この発明に係る不揮発性半導体記憶装置は、半導体基板と、この半導体基板に形成された、データに応じて不揮発に電荷蓄積を行うメモリトランジスタと、このメモリトランジスタのゲート側壁に形成された減圧CVDによる第1のシリコン窒化膜と、前記メモリトランジスタのゲート表面、ソース、ドレイン拡散層の表面及びゲート側壁の第1のシリコン窒化膜の表面を覆って形成された第2のシ



リコン窒化膜と、この第2のシリコン窒化膜上にシリコン酸化物を主体とする層間絶縁膜を介して形成された配線層とを有することを特徴とする。

【0011】

この発明に係る不揮発性半導体記憶装置の製造方法は、半導体基板に、データに応じて不揮発に電荷蓄積を行うメモリトランジスタを形成する工程と、前記メモリトランジスタを覆って減圧CVD法により第1のシリコン窒化膜を堆積しこれを前記メモリトランジスタのゲート側壁に選択的に残置させる工程と、前記メモリトランジスタのゲート表面、ソース、ドレイン拡散層の表面及びゲート側壁の第1のシリコン窒化膜の表面を覆って第2のシリコン窒化膜を堆積する工程と、前記第2のシリコン窒化膜上にシリコン酸化物を主体とする層間絶縁膜を介して配線層を形成する工程とを有することを特徴とする。

【0012】

この発明において、メモリトランジスタは例えば、半導体基板に第1ゲート絶縁膜を介して形成された浮遊ゲートと、この浮遊ゲート上に第2ゲート絶縁膜を介して形成された制御ゲートとを有する電氣的書き換え可能なメモリトランジスタである。

【0013】

この発明において第2のシリコン窒化膜には、特に高温工程が制限される場合にはプラズマCVDにより堆積されたものを用いる。例えば、ゲート側壁に選択的に第1のシリコン窒化膜を残置させた後、第2のシリコン窒化膜を堆積する前に、ゲート及びソース、ドレイン拡散層の表面に選択的に金属シリサイド膜を形成する工程を有する場合には、好ましくは、第2のシリコン窒化膜としてプラズマCVDによる窒化膜を用いる。但しこの発明において、第2のシリコン窒化膜を減圧CVDにより堆積することもできる。

【0014】

この発明においては、メモリトランジスタの側壁保護膜として、シリコン酸化膜ではなく、減圧CVDによる緻密な第1のシリコン窒化膜を用いている。このため、第2のシリコン窒化膜をプラズマCVDにより形成した場合にも、水素等

のメモリセルへの拡散が防止され、メモリトランジスタの信頼性劣化が確実に防止される。

また減圧CVDによるシリコン窒化膜は、不純物を含んでいたとしても、減圧CVDによるシリコン酸化膜と比べて不純物の移動は小さい。このため、第2のシリコン窒化膜によりメモリトランジスタ領域を覆ったとしても、ゲート絶縁膜の側壁からの不純物拡散による信頼性劣化が少ない。従って、第2のシリコン窒化膜を減圧CVDにより堆積した場合にも、従来のように側壁絶縁膜にシリコン酸化膜を用いた場合に比べて、信頼性の劣化は抑制される。

#### 【0015】

更にこの発明によると、メモリトランジスタの領域を第2のシリコン窒化膜で覆ってシリコン酸化物を主体とする層間絶縁膜が形成されるから、層間絶縁膜にコンタクト孔等を形成するエッチング工程で下地のシリコン窒化膜がエッチングストップとなる。従って層間絶縁膜をオーバーエッチングして加工マージンを確保したい場合、或いはコンタクト孔形成のマスク合わせズレがあった場合にも、下地のシリコン基板や素子分離絶縁膜の無用なエッチングを防止することが可能となる。

#### 【0016】

##### 【発明の実施の形態】

以下、図面を参照して、この発明の実施例を説明する。

図1は、この発明の一実施例によるNOR型EEPROMのメモリセルアレイ領域の要部レイアウトであり、図2(a)及び(b)はそれぞれ図1のA-A'及びB-B'断面であり、図3(a)及び(b)はそれぞれ図1のC-C'及びD-D'断面である。

#### 【0017】

メモリトランジスタ(メモリセル)は、p型シリコン基板(又はp型ウェル)1の素子分離絶縁膜2により囲まれた領域に、第1ゲート絶縁膜(トンネル酸化膜)3を介して形成された浮遊ゲート4、更にこの上に第2ゲート絶縁膜5を介して形成された制御ゲート6を有し、制御ゲート6に自己整合されて形成された $n^+$ 型ソース、ドレイン拡散層7a, 7bを有する。

## 【0018】

浮遊ゲート4は第1層多結晶シリコン膜により、各メモリセル毎に設けられ、制御ゲート6は第2層多結晶シリコン膜により、図1の横方向に複数のメモリセルに連続的にパターン形成されてワード線となる。具体的に浮遊ゲート4のワード線方向の分離溝は、制御ゲート6となる第2層多結晶シリコン膜形成前に加工される。そして浮遊ゲート4のビット線方向の分離は、第2層多結晶シリコン膜を堆積して制御ゲート6をパターン形成する際に同時に第1層多結晶シリコン膜をパターニングすることにより、行われる。

## 【0019】

$n^+$ 型ソース、ドレイン拡散層7a、7bはこの実施例の場合、 $n^+$ 型ソース、ドレイン拡散層7a、7bと同時に形成された $p^-$ 型層8内に形成されている。ソース、ドレイン拡散層7a、7b及び制御ゲート6の表面には、低抵抗化のためにチタンシリサイド膜9が形成されている。

## 【0020】

各メモリセルのゲート側壁には、側壁保護膜として、減圧CVDによる第1のシリコン窒化膜10が形成されている。そして、メモリセルの制御ゲート6、側壁のシリコン窒化膜10及びソース、ドレイン拡散層7a、7bの表面を覆うように第2のシリコン窒化膜11が形成され、この上に層間絶縁膜としてCVDによるシリコン酸化膜12(12a, 12b)が形成されている。ここでシリコン酸化膜12は、シリコン酸化物 $SiO_2$ を主体とする膜であればよく、BSG膜、BPSG膜を含む。第2のシリコン窒化膜11はこの実施例の場合、プラズマCVDによる窒化膜である。

## 【0021】

第1層のシリコン酸化膜12aは表面が平坦化され、これに配線溝20が形成されて、メモリセルのソース拡散層7aに接続される共通ソース線13が埋め込まれている。共通ソース線13は、図1に破線で示すように、制御ゲート6(ワード線)と平行に複数のメモリセルに対して連続的に配設される。第1層及び第2層のシリコン酸化膜12a及び12bを貫通するようにコンタクト孔21が形成されて、メモリセルのドレイン拡散層7bに接続されるビット線14がワード線

と交差する方向に配設されている。

#### 【0022】

図4 (a), (b) ~ 図10 (a), (b) は、図2 (a), (b) の断面での製造工程図である。これらの製造工程図を参照して具体的な製造工程を説明する。

図4 に示すように、シリコン基板1にはまず、素子分離絶縁膜2を形成する。素子分離絶縁膜2は例えば、基板1に浅い溝を加工してCVDによりシリコン酸化膜を堆積し平坦化して溝に埋め込むSTI (Shallow Trench Isolation) 法により形成する。或いはLOCOS法によって素子分離酸化膜2を形成してもよい。

#### 【0023】

この後素子形成領域に第1ゲート絶縁膜3を介して第1層多結晶シリコン膜により浮遊ゲート4を形成し、更に第2ゲート絶縁膜5を介して第2層多結晶シリコン膜により制御ゲート6を形成する。第1層多結晶シリコン膜は、RIEにより素子分離領域に分離溝を加工しておき、その後第2層多結晶シリコン膜をRIEによりエッチングする際に同時に第1層多結晶シリコン膜をエッチングする。これにより、制御ゲート6と浮遊ゲート4をそのビット線方向の端部を整合させてパターニングすることができる。

#### 【0024】

この後、図5 (a), (b) に示すように、後酸化を行って、制御ゲート6及び露出しているシリコン基板1の表面を10nm程度の薄い酸化膜31で覆う。この酸化膜31は、イオン注入のバッファとなる。この後、p型不純物とn型不純物のイオン注入により、p<sup>-</sup>型層8に囲まれた形でn<sup>+</sup>型ソース、ドレイン拡散層7a、7bを形成する。

#### 【0025】

次いで、図6 (a), (b) に示すように、TEOS (Tetraethyloxysilane) を原料とするCVD法により20nm程度の薄いシリコン酸化膜32を堆積し、続いて、減圧CVD法により150nm程度のシリコン窒化膜10を堆積する。シリコン酸化膜32は、シリコン窒化膜10のエッチング時のストッパマスク

である。その後、RIEによりシリコン窒化膜10をエッチングして、図7(a)、(b)に示すように、メモリセルのゲート側壁にのみシリコン窒化膜10を残置させる。

#### 【0026】

この後、シリコン窒化膜10をマスクとしてシリコン酸化膜32及び31をエッチングし、制御ゲート6及びソース、ドレイン拡散層7a、7bの表面を露出させる。そしてチタン(Ti)膜を堆積して熱処理することにより、図8(a)、(b)に示すように、制御ゲート6及びソース、ドレイン拡散層7a、7bの表面に選択的にチタンシリサイド膜9を形成する。未反応のチタン膜はその後除去する。

#### 【0027】

次いで、図9(a)、(b)に示すように、プラズマCVD法により50nm程度のシリコン窒化膜11を堆積した後、層間絶縁膜となる第1層シリコン酸化膜12aを減圧CVD法により堆積する。シリコン窒化膜11は層間絶縁膜の下地膜であって、制御ゲート6、ソース、ドレイン拡散層7a、7bの表面、側壁のシリコン窒化膜10の表面に接触してメモリセルを覆い、また素子分離領域をも覆う。シリコン酸化膜12aの表面は、CMP処理により平坦化する。そして、図10(a)、(b)に示すように、シリコン酸化膜12aのソース拡散層7aの領域上に連続するようにRIEにより配線溝20を加工し、この配線溝20に共通ソース線13を埋め込み形成する。

#### 【0028】

シリコン酸化膜12aをRIEによりエッチングする際、シリコン窒化膜11とのエッチング選択比が充分大きくなるガス条件を用いることにより、シリコン窒化膜11がエッチングストップとなる。従って、オーバーエッチングを行って確実にシリコン酸化膜12aをエッチングすることができる。配線溝20は、図10(b)に示すように素子分離領域にも形成されるが、素子分離領域でもシリコン窒化膜11がストップとなって、素子分離絶縁膜2のエッチングが防止される。また、配線溝20のマスク合わせズレがあったとしても、シリコン窒化膜11がマスクとなって、素子分離絶縁膜2が無用なエッチングを受けることもない

。配線溝 20 に露出したシリコン窒化膜 11 はその後、ガスを切り替えた R I E により除去して、ソース拡散層 7 a 上のシリサイド膜 9 を露出させる。

## 【0029】

次に、図 11 (a) , (b) に示すように、第 2 層シリコン酸化膜 12 b を堆積し、コンタクト孔 21 を R I E により形成して、ドレイン拡散層 7 b に接続されるビット線 14 を形成する。このビット線用のコンタクト孔 21 の R I E 工程においても、共通ソース線用の配線溝 20 の R I E 工程と同様の条件とすることにより、シリコン窒化膜 11 がマスクとなって、確実なエッチングができる。

## 【0030】

なお、周辺回路領域には、昇圧された書き込み電圧等が印加される高電圧 M O S トランジスタと、電源 V C C 以下の電圧で動作する通常の低電圧 M O S トランジスタが形成される。図 12 は、この周辺回路の高電圧 M O S トランジスタと低電圧 M O S トランジスタの構造を示している。これらの周辺回路 M O S トランジスタは、メモリセルとは別工程で作られる。

## 【0031】

周辺回路 M O S トランジスタの製造工程を簡単に説明すれば、メモリセルアレイ領域にメモリセルのゲート、ソース及びドレインまで形成された図 5 の状態で、メモリセルアレイ領域をマスクして、周辺回路領域にゲート絶縁膜 41 を介してゲート電極 42 を形成し、イオン注入を行って  $n^+$  型ソース、ドレイン拡散層 43 a、43 b を形成する。ソース、ドレイン拡散層 43 a、43 b はより具体的には、チャネル側端部に低濃度の  $n^-$  型層 44 を持つ L D D 構造として形成する。

その後、側壁絶縁膜であるシリコン窒化膜 10 の堆積とエッチング、プラズマ C V D 法によるシリコン窒化膜 11 の堆積、層間絶縁膜 12 の堆積、コンタクト孔開け、及び配線層の形成の工程は、メモリセルアレイ領域と共通となる。

## 【0032】

この実施例によると、層間絶縁膜であるシリコン酸化膜 12 の下地にシリコン窒化膜 11 が形成されているため、配線溝 20 及びコンタクト孔 21 のエッチング工程で無用なエッチングが防止される。一般にエッチング工程では、エッチン

グしたい材料の残渣を発生させないように、エッチング時間を長めにとるオーバーエッチングが行われるが、この実施例の場合、シリコン窒化膜 11 がストッパとして作用するために、オーバーエッチングを行うことが可能であり、これにより加工マージンを大きいものとすることができる。

## 【0033】

また、配線溝 20 及びコンタクト孔 21 を形成するためのレジストマスクがズレ、或いはマスク開口寸法が大きくなったとしても、シリコン窒化膜 11 により素子分離絶縁膜 2 等のエッチングが防止される。その様子を、図 1 の D-D' 断面（即ち、図 3（b）の断面）でのビット線のコンタクト孔 21 の場合について、図 13 に示す。ちなみに、シリコン窒化膜 11 がいない場合には、図 14 に示すように、コンタクト孔 21 が素子分離絶縁膜 2 にかかったとき、オーバーエッチングを行うと素子分離絶縁膜 2 がエッチングされてしまう。これはビット線の短絡事故の原因となる。

## 【0034】

またこの実施例によると、メモリセルの側壁絶縁膜をシリコン酸化膜でなく、減圧 CVD によるシリコン窒化膜 10 により形成することにより、メモリセル近傍にプラズマ CVD によるシリコン窒化膜を設けた場合にも、メモリセルの信頼性劣化が生じない。この点を具体的にデータを用いて説明する。

## 【0035】

図 15 は、実施例と比較例 1～3 の EEPROM について、データ書き込み及び消去を 10000 回繰り返した後、データ読み出しを行ったときのメモリセルのしきい値  $V_{th}$  がシフトするビット数の統計を取ったデータである。図の横軸はしきい値  $V_{th}$  であって、初期値から右側に行くほどシフトしていることを意味する。縦軸は、しきい値がシフトしたビットの標準偏差を示している。比較例 1（○印）は、側壁絶縁膜としてシリコン酸化膜を用い、実施例でのプラズマ CVD によるシリコン窒化膜 11 がいない場合であり、比較例 2（△印）は側壁絶縁膜として減圧 CVD によるシリコン窒化膜を用い、実施例でのプラズマ CVD によるシリコン窒化膜 11 がいない場合である。

## 【0036】

これらの比較例 1, 2 に対し、比較例 3 (●印) は、側壁絶縁膜としてシリコン酸化膜を用い、実施例と同様にプラズマ CVD によるシリコン窒化膜 11 を設けた場合である。この比較例 3 は、明らかにプラズマ CVD によるシリコン窒化膜 11 を設けた結果として、比較例 1, 2 に比べて大きなしきい値シフト量を示している。一方、側壁絶縁膜として減圧 CVD によるシリコン窒化膜 10 を用い、更にプラズマ CVD によるシリコン窒化膜 11 を形成した実施例 (×印) では、プラズマ CVD によるシリコン窒化膜 11 を用いたことによるしきい値シフトは認められず、比較例 1, 2 と同程度の高信頼性を示すことが確認できる。

## 【0037】

なおこの実施例において、2 層目のシリコン窒化膜 11 をプラズマ CVD により堆積している主な理由は、メモリセル領域にチタンシリサイド膜 9 を形成しており、その後の高温工程が制限されるためである。プラズマ CVD 法では減圧 CVD 法に比べて低温での膜堆積が可能であるため、チタンシリサイド膜 9 の劣化を防止することができる。

## 【0038】

但しこの発明は、2 層目のシリコン窒化膜 11 を、側壁絶縁膜として用いられる 1 層目のシリコン窒化膜 10 と同様に減圧 CVD 法により堆積する場合にも有効である。シリコン窒化膜 11 を減圧 CVD により堆積すると、膜が緻密であるため側壁絶縁膜に含まれる不純物を閉じこめることになる。しかしこの発明の場合、側壁絶縁膜も減圧 CVD によるシリコン窒化膜であるため、シリコン酸化膜を用いた場合と異なり不純物の膜内での移動は小さく、従ってメモリセルへの不純物拡散による悪影響は少ない。

## 【0039】

また実施例では、NOR 型 EEPROM を説明したが、この発明は NAND 型 EEPROM は勿論、EPROM やマスク ROM 等の他の不揮発性半導体記憶装置に同様に適用することが可能である。

## 【0040】

## 【発明の効果】

以上述べたようにこの発明によれば、メモリトランジスタの側壁保護膜として



減圧CVDによる第1のシリコン窒化膜を用いているため、その後第2のシリコン窒化膜をプラズマCVDにより形成した場合にも、メモリトランジスタの信頼性劣化が確実に防止される。

また減圧CVDによるシリコン窒化膜は不純物の移動が小さいため、第2のシリコン窒化膜によりメモリトランジスタ領域を覆ったとしても、ゲート絶縁膜への側壁からの不純物拡散による信頼性劣化が少ない。従って、第2のシリコン窒化膜を減圧CVDにより堆積した場合にも、従来のように側壁絶縁膜にシリコン酸化膜を用いた場合に比べて、信頼性の劣化は抑制される。

更にこの発明によると、層間絶縁膜の下地にシリコン窒化膜が形成されるから、コンタクト孔等を形成する層間絶縁膜のエッチング工程で下地のシリコン窒化膜がエッチングストッパとなる。従って基板や素子分離絶縁膜の無用なエッチングを防止して大きな加工マージンを取ることが可能となる。

#### 【図面の簡単な説明】

##### 【図1】

この発明の一実施例によるEEPROMのメモリセルアレイのレイアウトを示す。

##### 【図2】

図1のA-A'及びB-B'断面を示す。

##### 【図3】

図1のC-C'及びD-D'断面を示す。

##### 【図4】

図2の断面における同実施例のメモリセルアレイのゲートパターニング工程を示す。

##### 【図5】

同じくソース、ドレイン拡散層形成工程を示す。

##### 【図6】

同じく第1のシリコン窒化膜堆積工程を示す。

##### 【図7】

同じく第1のシリコン窒化膜を側壁絶縁膜として残置させる工程を示す。

【図 8】

同じくメモリセルにチタンシリサイド膜を形成する工程を示す。

【図 9】

同じく層間絶縁膜の第 1 層シリコン酸化膜堆積工程を示す。

【図 10】

同じくシリコン酸化膜に共通ソース線を埋め込み形成する工程を示す。

【図 11】

同じく層間絶縁膜の第 2 層シリコン酸化膜を堆積しビット線を形成する工程を示す。

【図 12】

周辺回路の MOS トランジスタの構造を示す。

【図 13】

実施例のビット線コンタクト孔がずれた場合の図 1 の D-D' 断面の様子を示す。

【図 14】

シリコン窒化膜がない場合の図 13 に対応する断面を示す。

【図 15】

実施例のメモリセルの信頼性テストのデータを比較例と共に示す。

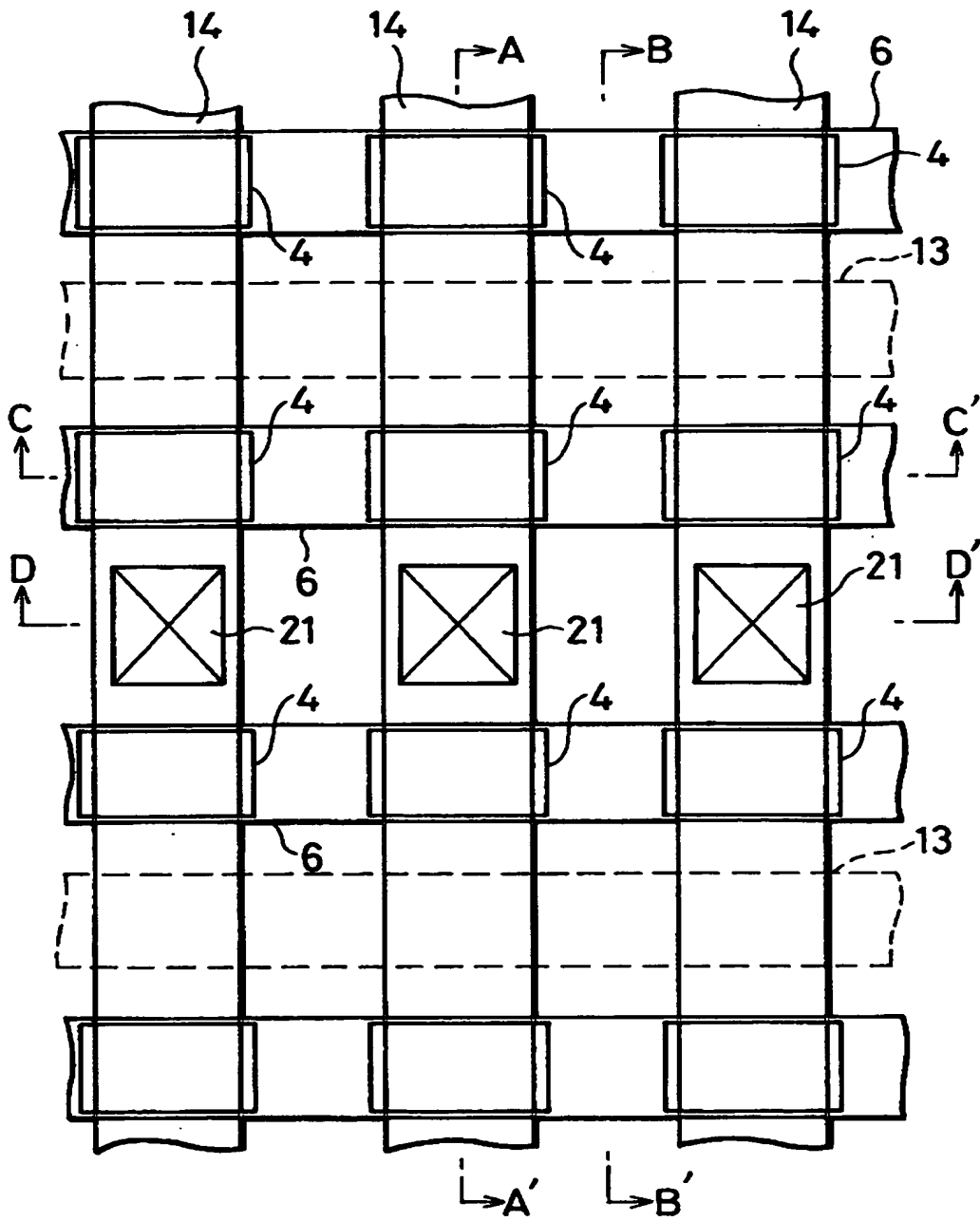
【符号の説明】

1…シリコン基板、2…素子分離絶縁膜、3…第 1 ゲート絶縁膜、4…浮遊ゲート、5…第 2 ゲート絶縁膜、6…制御ゲート、7 a, 7 b…ソース、ドレイン拡散層、9…チタンシリサイド膜、10…シリコン窒化膜（側壁絶縁膜）、11…シリコン窒化膜、12 a, 12 b…シリコン酸化膜（層間絶縁膜）、13…共通ソース線、14…ビット線、20…配線溝、21…コンタクト孔。

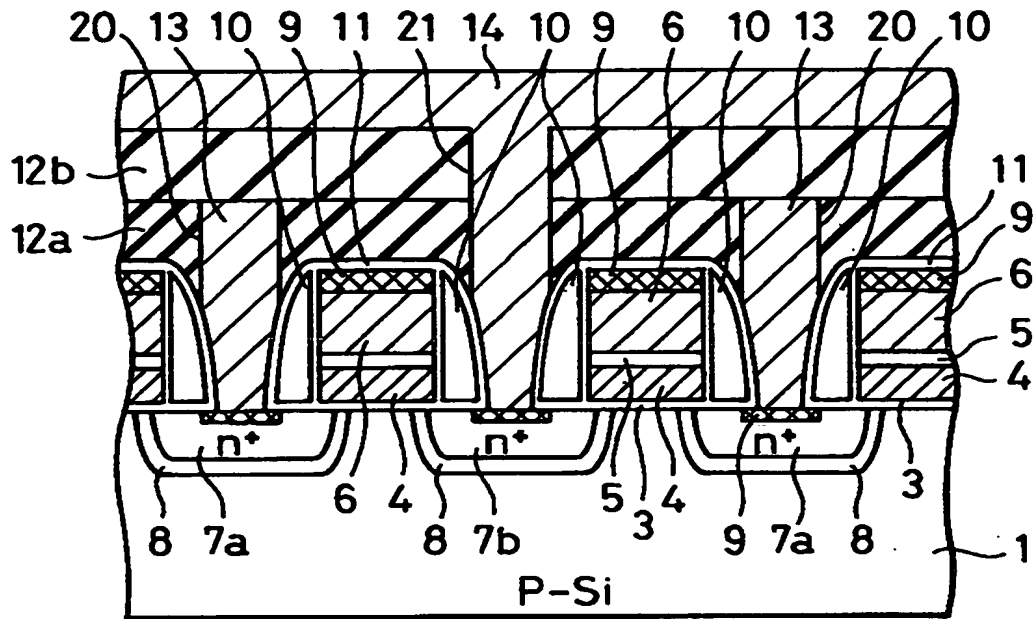
【書類名】

図面

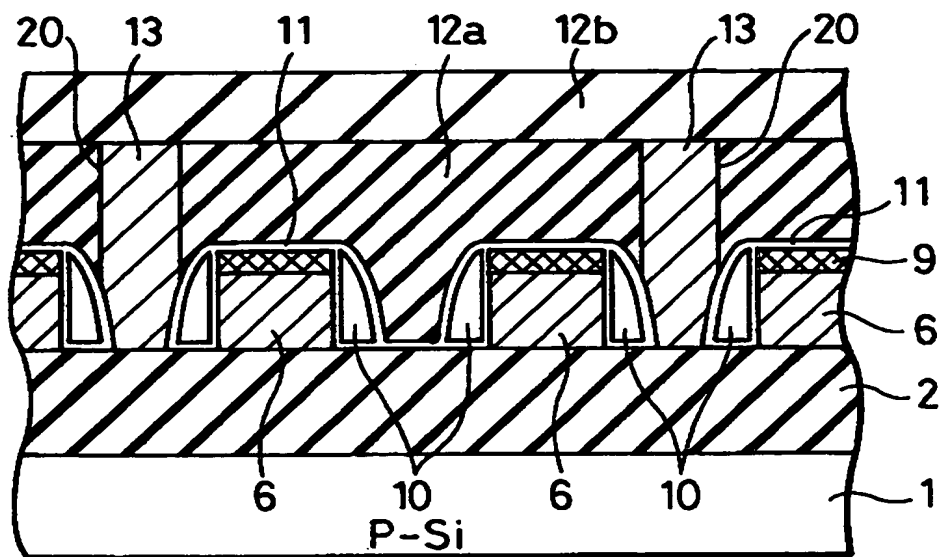
【図 1】



【図 2】

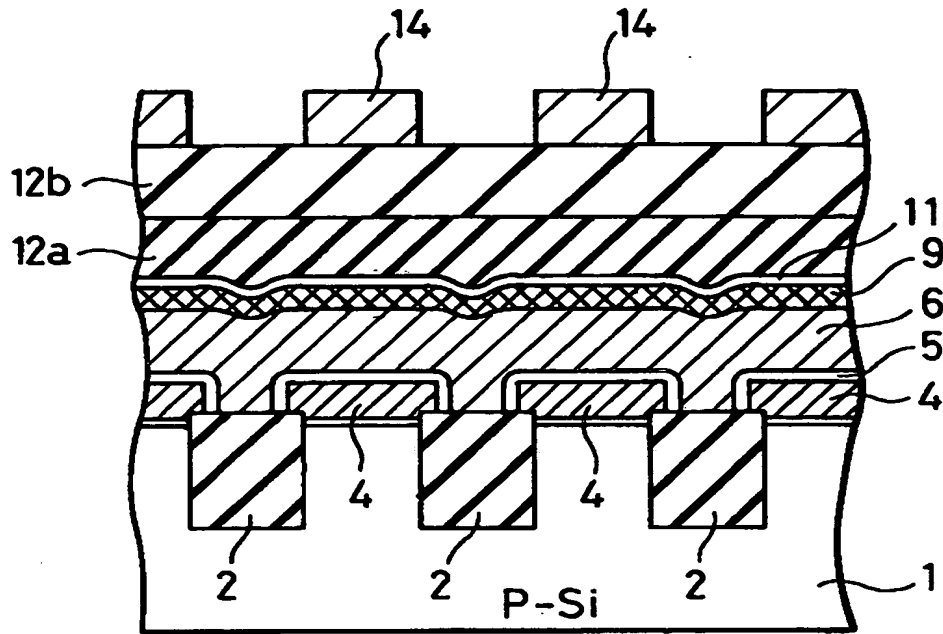


(a) A-A' 断面

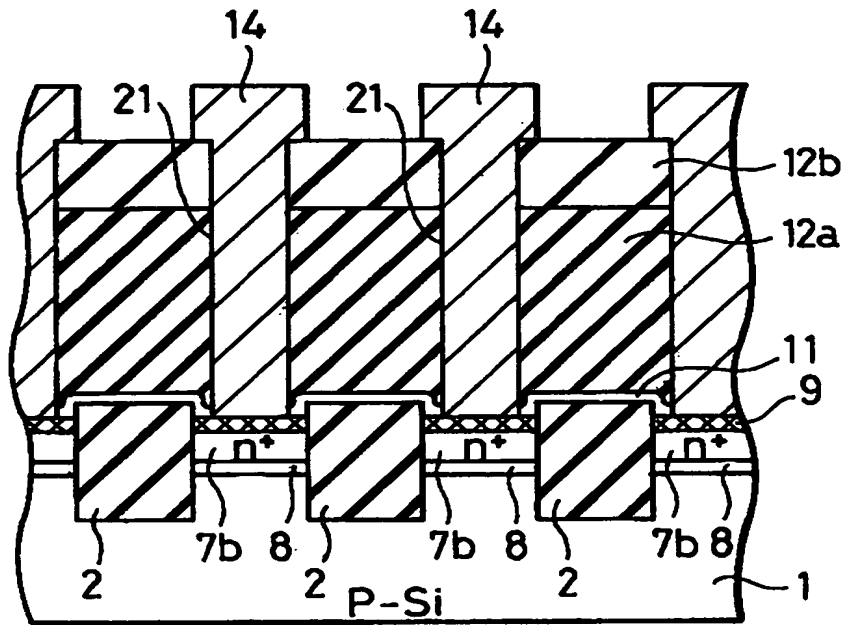


(b) B-B' 断面

【図3】

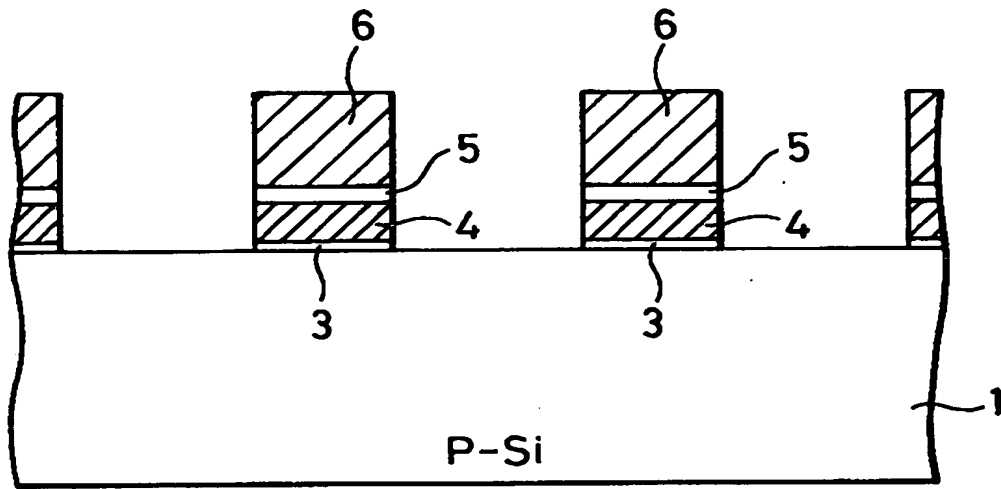


(a) C-C'断面

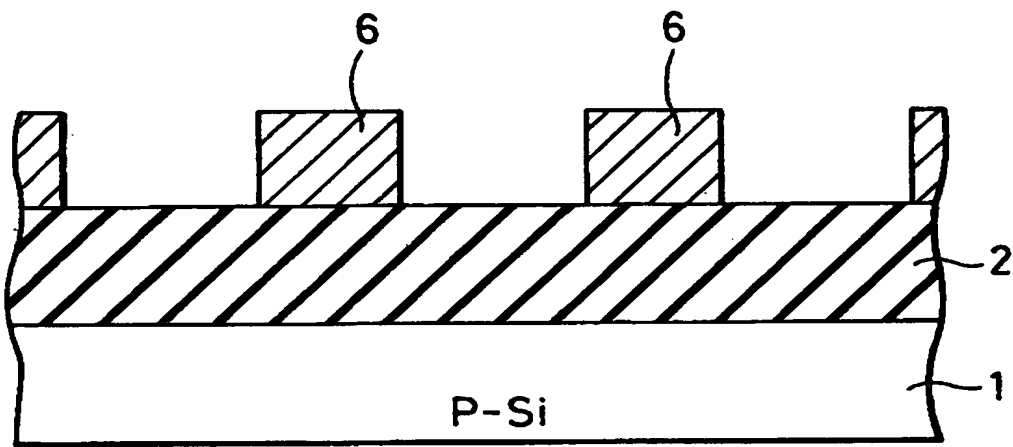


(b) D-D'断面

【図4】

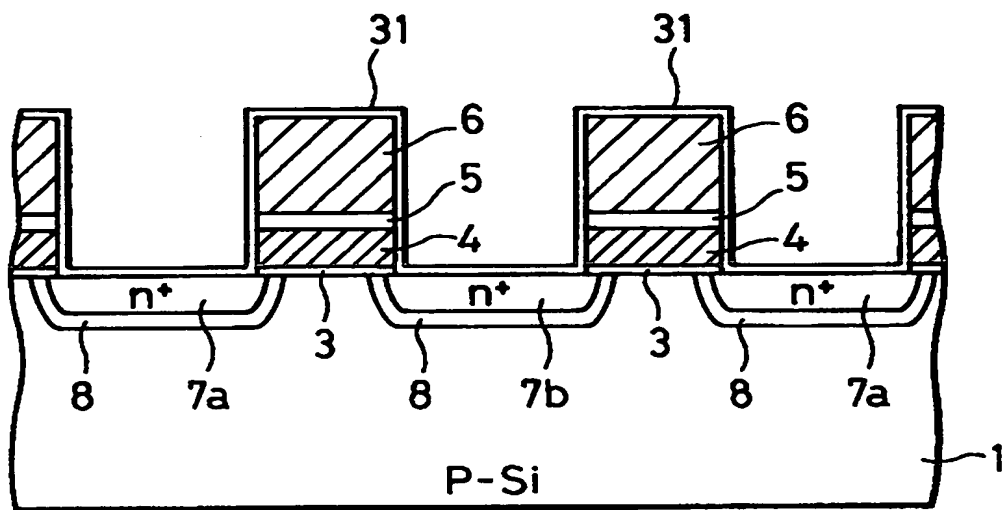


(a)

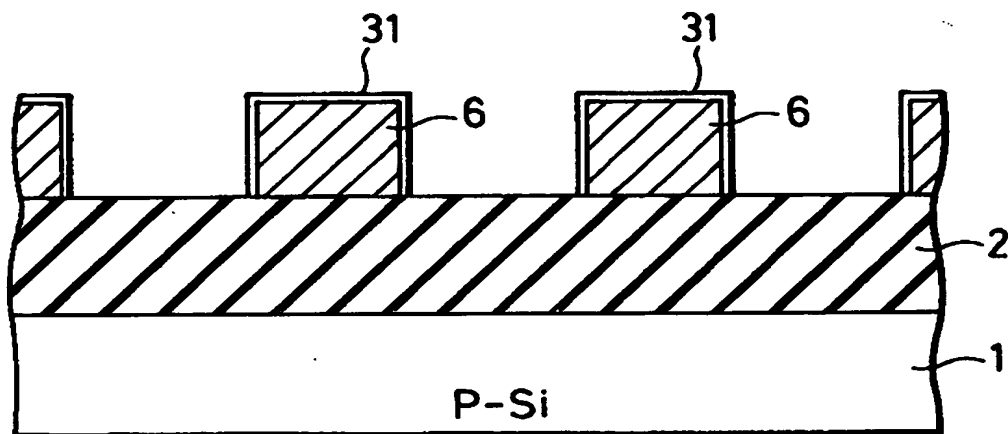


(b)

【図 5】

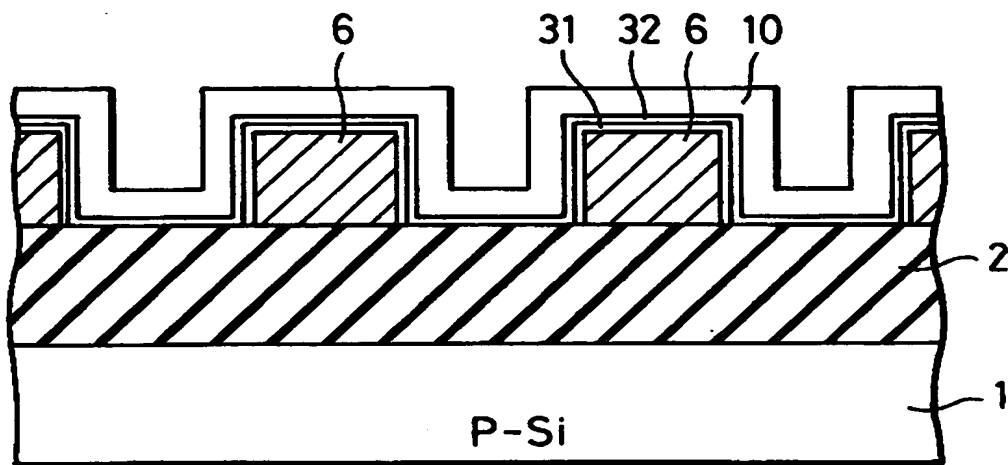
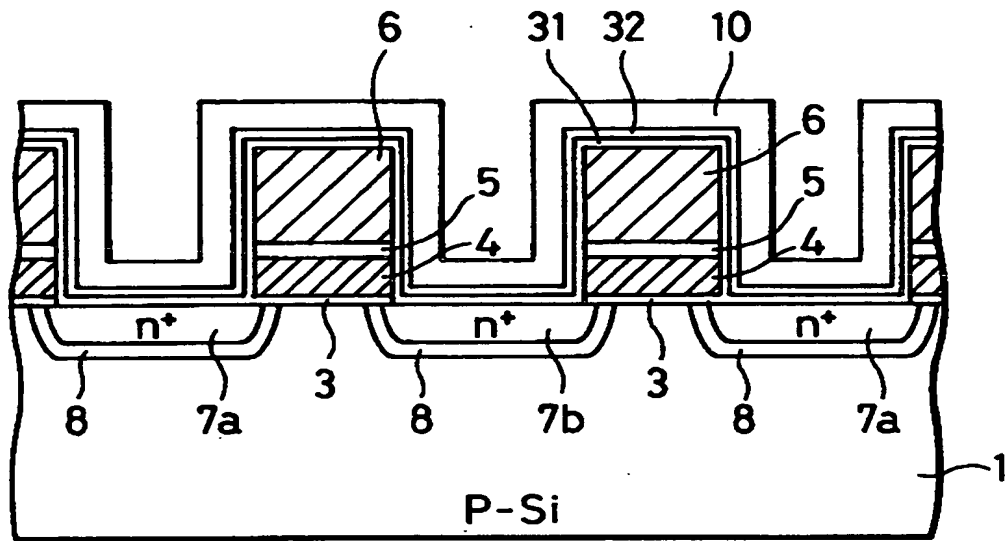


(a)



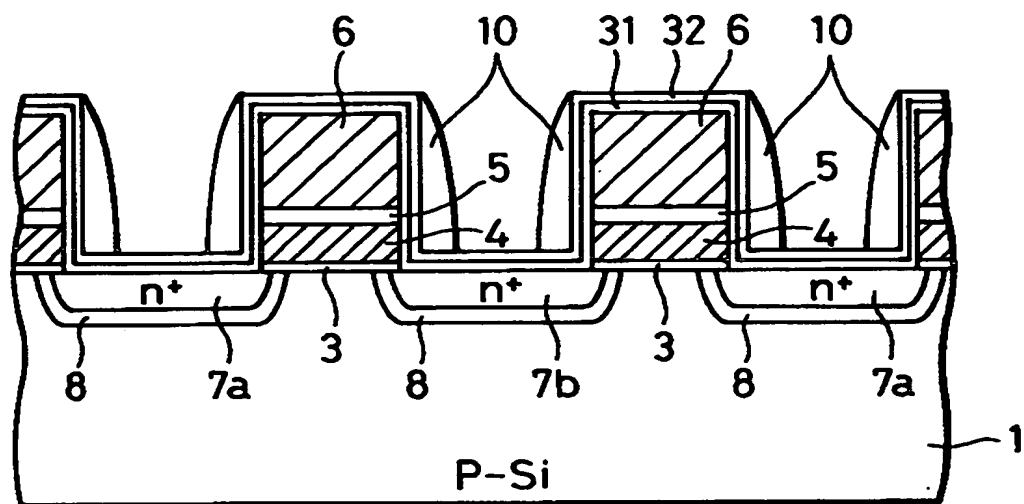
(b)

【図 6】

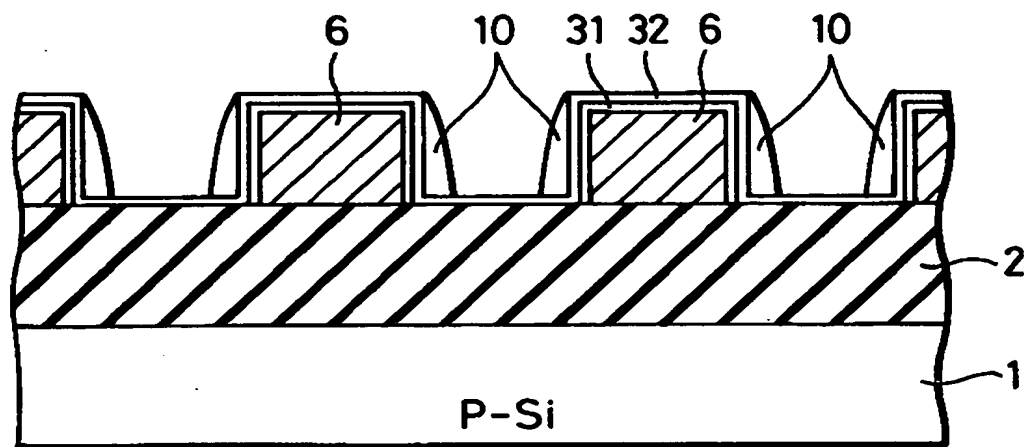




【図 7】

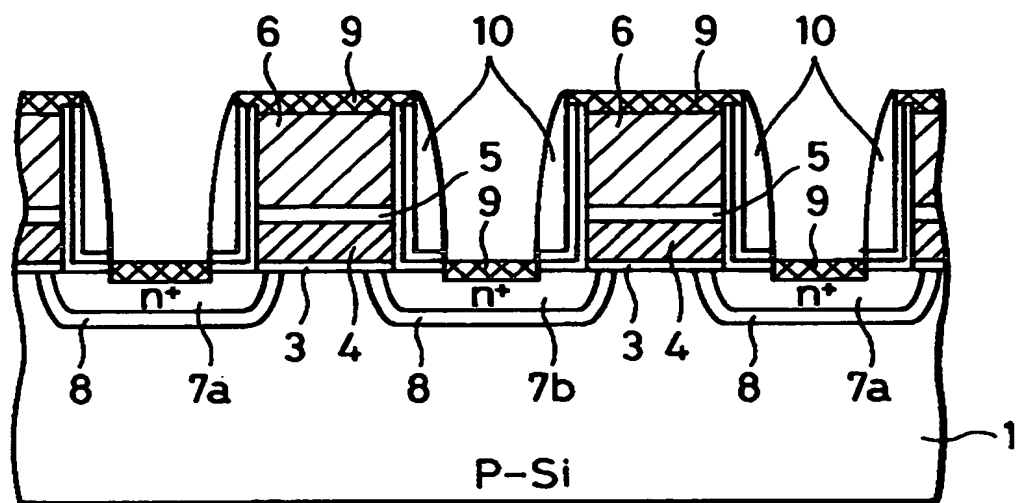


(a)

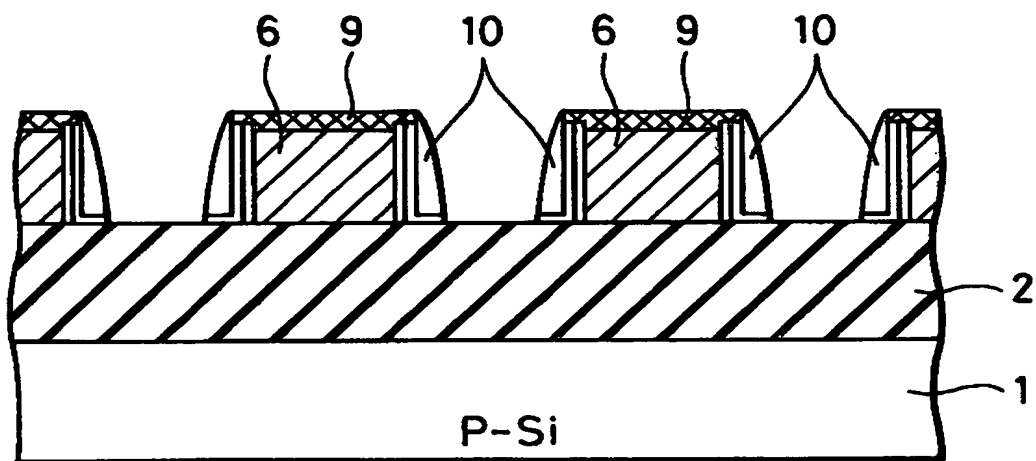


(b)

【図 8】

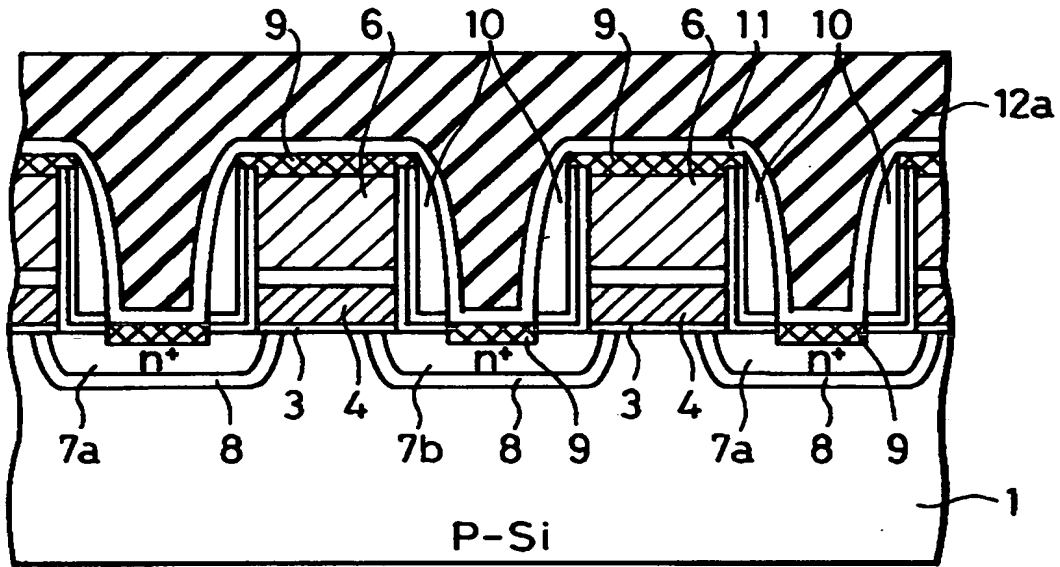


(a)

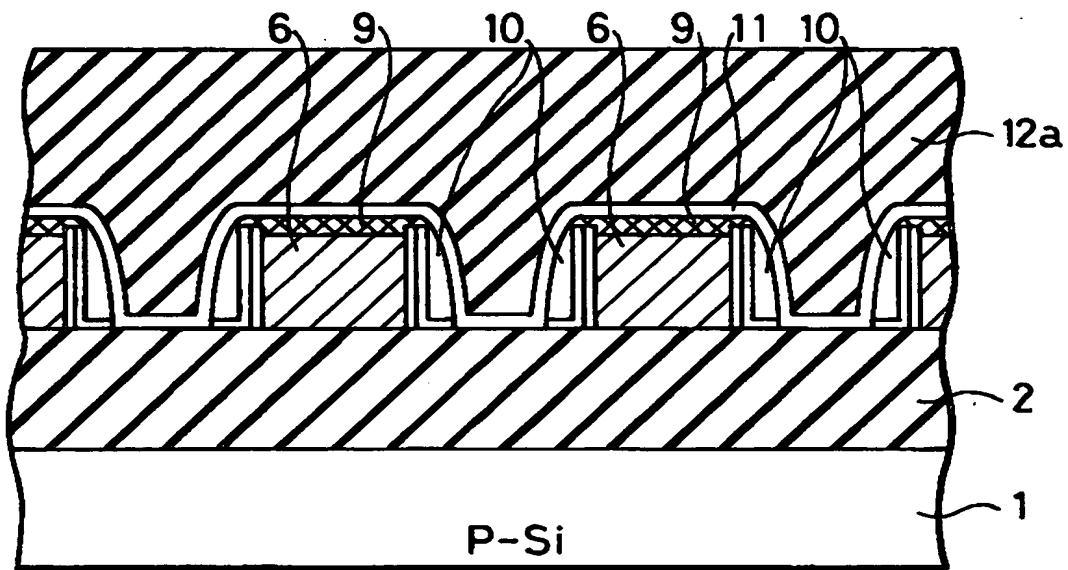


(b)

【図9】

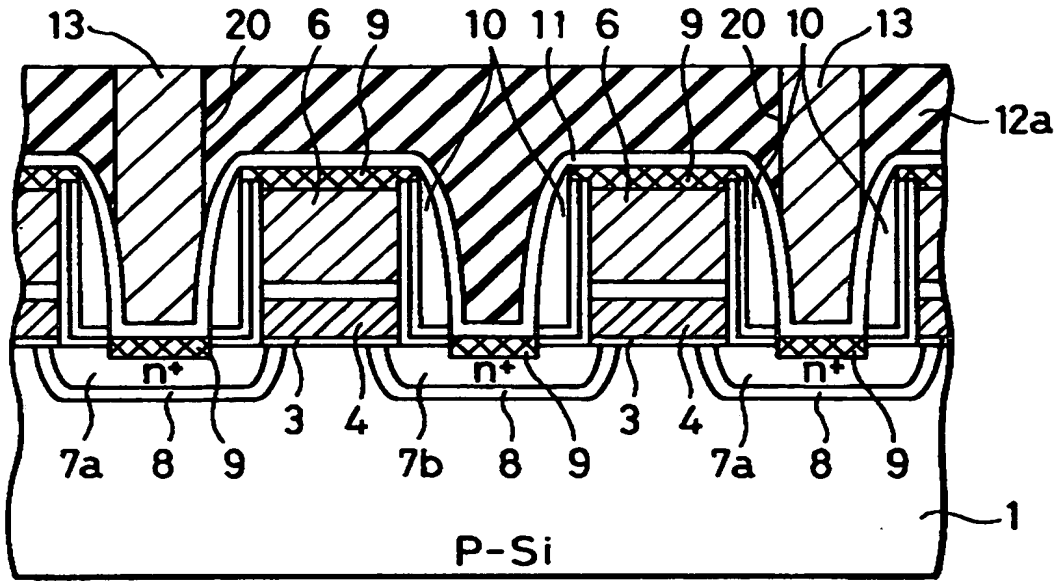


(a)

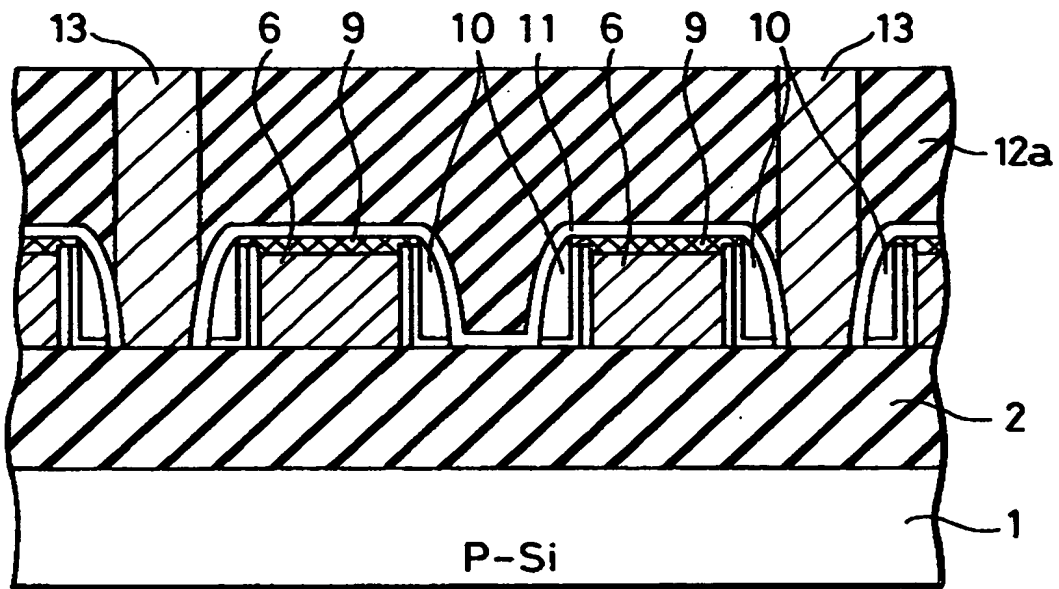


(b)

【図 10】

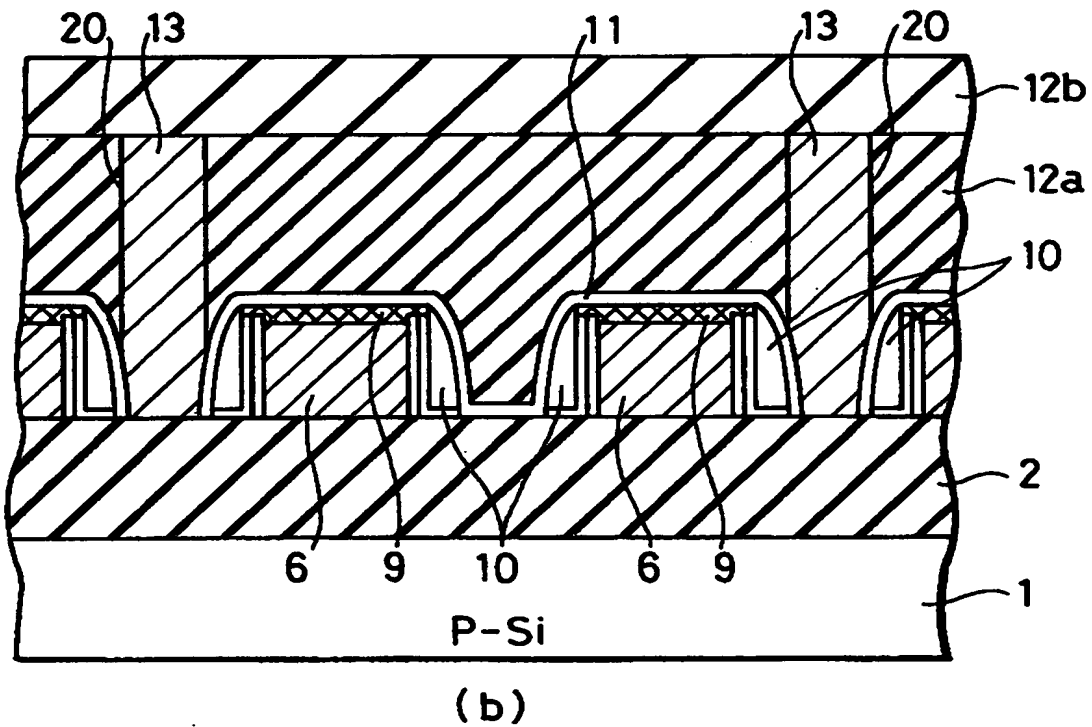
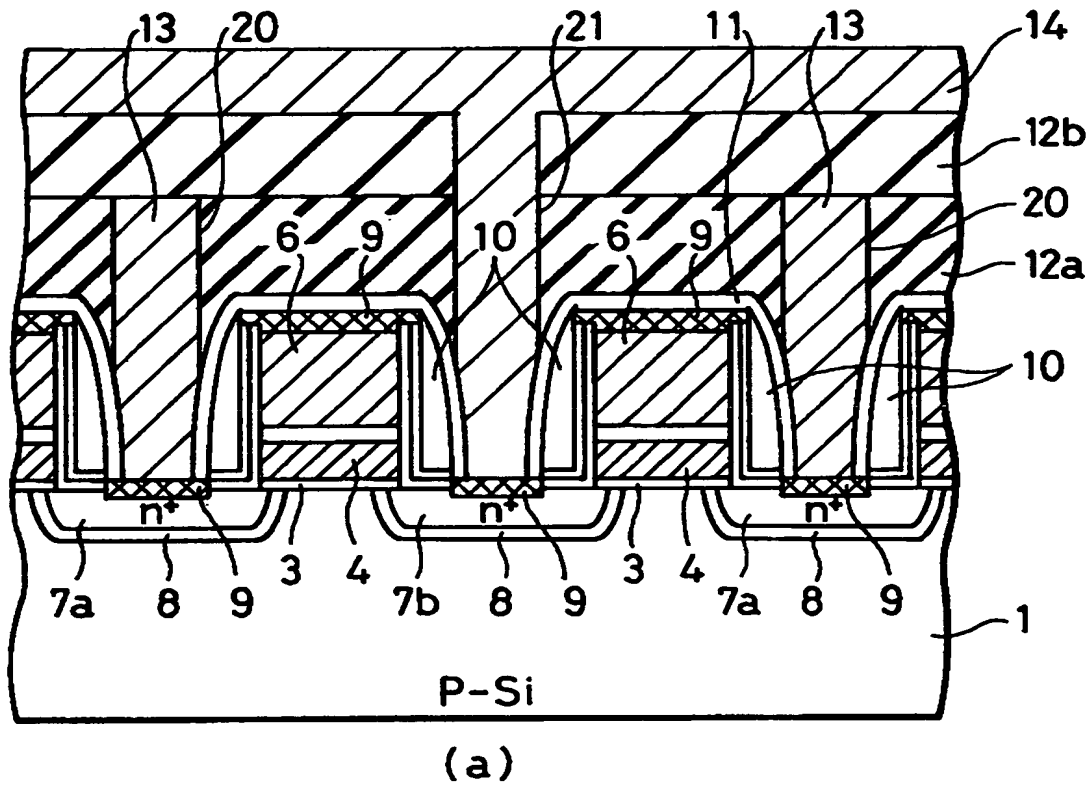


(a)

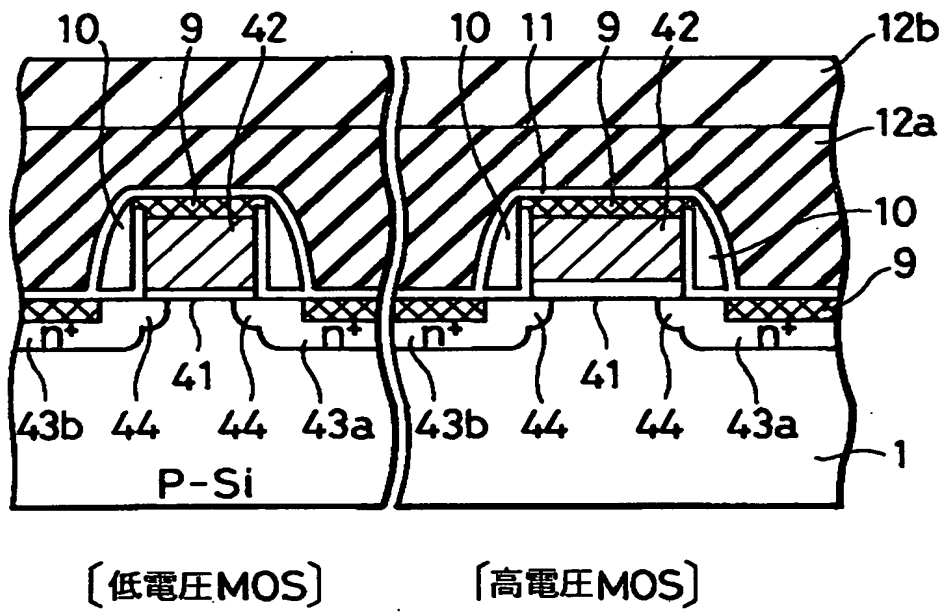


(b)

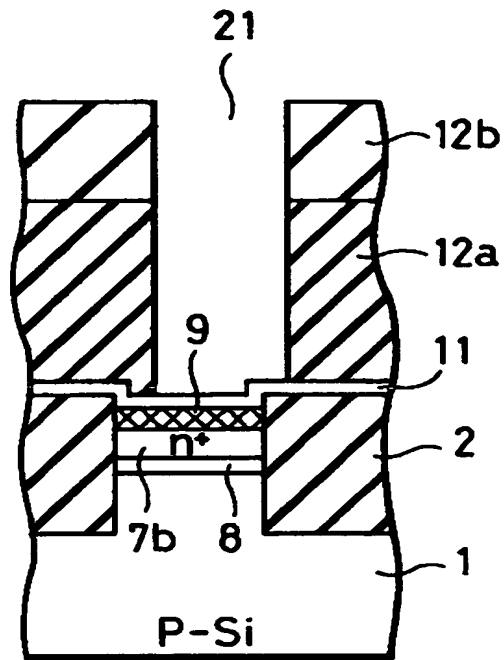
【図 11】



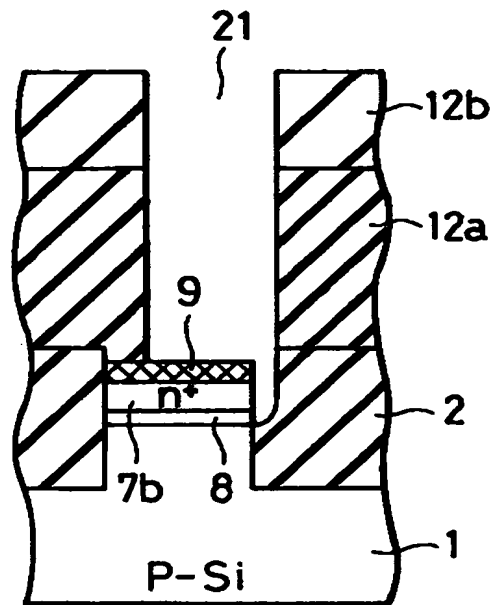
【図 12】



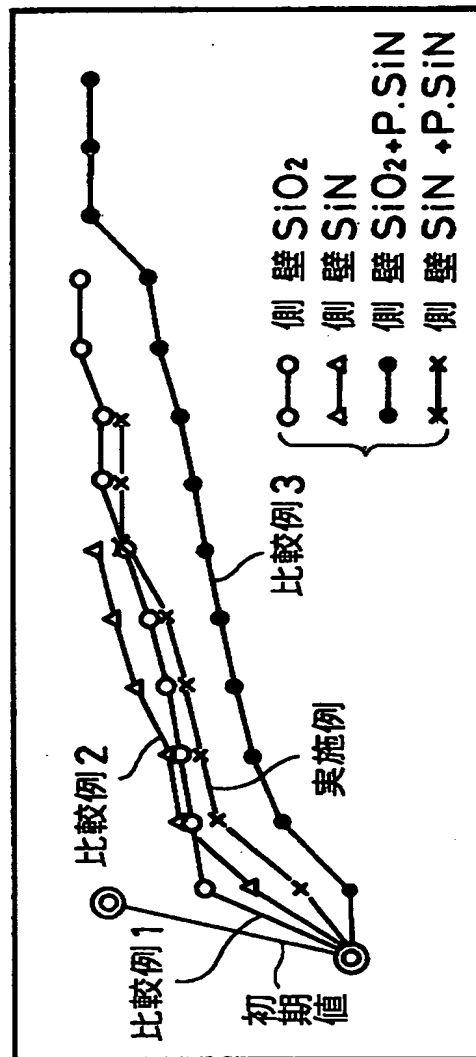
【図 13】



【図 14】



【図 15】





【書類名】 要約書

【要約】

【課題】 高い信頼性を実現した不揮発性半導体記憶装置とその製造方法を提供する。

【解決手段】 シリコン基板 1 に、浮遊ゲート 4 と制御ゲート 6、及びソース、ドレイン拡散層 7 a, 7 b を有するメモリセルが形成される。メモリセルのゲート側壁に減圧 CVD によるシリコン窒化膜 10 が側壁絶縁膜として残置される。メモリセルアレイを覆ってプラズマ CVD によるシリコン窒化膜 11 が形成され、この上に層間絶縁膜となるシリコン酸化膜 12 a, 12 b が形成される。シリコン酸化膜 12 a にはソース拡散層 7 a に接続される共通ソース線 13 が埋め込み形成され、シリコン酸化膜 12 b の上にはドレイン拡散層 7 b に接続されるビット線 14 が形成される。

【選択図】 図 2

【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000003078

【住所又は居所】 神奈川県川崎市幸区堀川町7番地

【氏名又は名称】 株式会社東芝

【代理人】 申請人

【識別番号】 100092820

【住所又は居所】 東京都千代田区鍛冶町2丁目5番15号 神田小幡  
ビル6階

【氏名又は名称】 伊丹 勝

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日  
[変更理由] 新規登録  
住 所 神奈川県川崎市幸区堀川町72番地  
氏 名 株式会社東芝